

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-145345

(43)Date of publication of application : 28.05.1999

(51)Int.Cl.

H01L 23/28

H01L 21/60

(21)Application number : 09-310088

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.11.1997

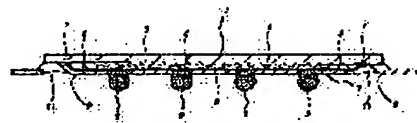
(72)Inventor : ONISHI TAKEHIRO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the reliability and manufacturing yield of a CSP(chip-size package).

SOLUTION: In a CSP as a device, a wiring board 3 is mounted on the main surface of a semiconductor chip 1 via an elastomer layer 2, one end part (inner lead) of a wiring 4 of the wiring board 3 and a pad 7 of the semiconductor chip 1 are connected electrically, and a connection part between the wiring 4 and the pad 7 is subjected to resin encapsulation by a sealing material 11. Unevenness is prepared in a side surface of the elastomer layer 2 for enlarging a surface area thereof effectively, and nonconformities of voids generated inside the sealing material 11 are prevented by allowing much vapor inside the elastomer layer 2 which is abruptly gasified and expanded through heat, when encapsulating resin is subjected to cure baking from the side surface of the elastomer layer 2 to an outside.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145345

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

H 0 1 L 23/28
21/60

識別記号

3 1 1

F I

H 0 1 L 23/28
21/60

Z

3 1 1 R

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号

特願平9-310088

(22) 出願日

平成 9 年 (1997) 11 月 12 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 大西 健博

東京都小平市上水本町五丁目 20 番 1 号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 筒井 大和

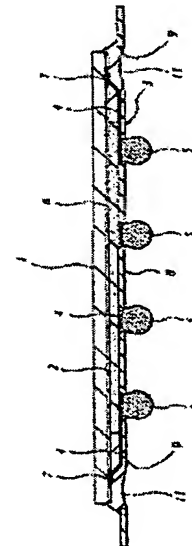
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 CSP (チップサイズパッケージ) の信頼性および製造歩留まりを向上させる。

【解決手段】 半導体チップ 1 の主面上にエラストマー層 2 を介して配線基板 3 を搭載し、配線基板 3 の配線 4 の一端部 (インナーリード) と半導体チップ 1 のパッド 7 とを電気的に接続すると共に、配線 4 とパッド 7 との接続部を封止材 11 で樹脂封止した CSP において、エラストマー層 2 の側面に凹凸を設けてその表面積を実効的に大きくし、封止樹脂をキュアベークする際の熱によって急激に気化膨張したエラストマー層 2 内の水蒸気の多くをエラストマー層 2 の側面から外部に逃がすことにより、封止材 11 の内部にボイドが発生する不具合を防止する。

図 2



【特許請求の範囲】

【請求項 1】 半導体チップの主面上にエラストマー層を介して配線基板を搭載し、前記配線基板の配線と前記半導体チップのパッドとを電気的に接続すると共に、前記配線と前記パッドとの接続部を樹脂封止したチップサイズパッケージ型の半導体装置であって、前記エラストマー層の側面に凹凸を設けたことを特徴とする半導体装置。

【請求項 2】 請求項 1記載の半導体装置であって、前記エラストマー層が多孔質であることを特徴とする半導体装置。

【請求項 3】 請求項 1または2記載の半導体装置であって、前記エラストマー層の弾性率が1〜5000MPaであることを特徴とする半導体装置。

【請求項 4】 請求項 1、2または3記載の半導体装置であって、前記配線基板の配線の端子部にバンパ電極が接続されていることを特徴とする半導体装置。

【請求項 5】 半導体チップの主面上にエラストマー層を介して配線基板を搭載し、前記配線基板の配線と前記半導体チップのパッドとを電気的に接続すると共に、前記配線と前記パッドとの接続部を樹脂封止したチップサイズパッケージ型の半導体装置の製造方法であって、

(a) 半導体チップの主面上に、側面に凹凸を設けた薄層エラストマーを接合することにより、前記半導体チップの主面を覆うエラストマー層を形成する工程、(b) 前記エラストマー層の上面に配線基板を接合し、前記配線基板の配線と前記半導体チップのパッドとを電気的に接続する工程、(c) 前記配線と前記パッドとの接続部に供給した樹脂をキュアベークすることにより、前記接続部を樹脂封止する工程、を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関し、特に、チップサイズパッケージ(Chip Size Package; CSP)型の半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】 パッドに取り付けたボール状のバンパ電極を使って半導体チップを基板にフリップチップ実装するBGA(Ball Grid Array)型のLSIパッケージは、多ピン化が容易で、しかも実装面積を小さくできることから、I/O(Input/Output)ピンの数が多いロジックLSIを実装するパッケージとしても多用されつつある。【0003】 特に、パッケージの外形をチップとほぼ同じサイズまで縮小したチップサイズパッケージ(CSP)は、小型で軽量の電子機器、例えば携帯電話、PDA、HPCといった携帯情報端末への適用が進められている。

【0004】 この種のCSPについては、日経BIP社発行の「日経マイクロデバイス」、1996年10月号(p92~p98)、1997年4月号(p44~p53)に記載がある。

【0005】 上記文献に記載されたCSPは、半導体チップの主面上に弾性樹脂層とポリイミド配線基板とを積層し、ポリイミド配線基板の一面に形成されたCu配線に半田バンパを接続した構造になっている。半導体チップとポリイミド配線基板との間に介在する弾性樹脂層は、CSPをプリント配線基板に実装したときに半導体チップとプリント配線基板との熱膨張係数差に起因して半田バンパに加わる応力を緩和、吸収するために設けられる。

【0006】

【発明が解決しようとする課題】 公知とされた技術ではないが、本発明者は、半導体チップとポリイミド配線基板との間に多孔質の低弾性エラストマーを介在させたCSPを開発している。このエラストマー(弾性体)は、例えば弾性率が5000MPa以下のシリコンゴム系、エポキシ系、ポリイミド系、ウレタン系またはフッ素系エラストマーの単層構造、またはこれらを2〜3層程度ラミネートした積層構造で構成されている。このCSPは、エラストマーが多孔質であるため、エラストマー内に吸湿された水分が外部に逃げ易いという特徴がある。

【0007】 上記低弾性エラストマーを用いたCSPの製造工程の概略を説明すると、まず長尺のポリイミド配線基板を用意し、あらかじめ外形寸法および厚さが半導体チップと同程度となるように裁断しておいたエラストマーをこの基板の表面に接着剤を使って貼り付ける。次に、このエラストマーの表面に接着剤を使って半導体チップを貼り付けた後、ポリイミド配線基板に形成されたCu配線の一端(インナーリード)を半導体チップのパッド上にボンディングする。

【0008】 次に、上記インナーリードとパッドの接続部に供給したポッティング樹脂をキュアベークして接続部を樹脂封止した後、Cu配線の他端(端子部)に半田バンパを接合する。その後、この半田バンパに検査ジグのプローブを当ててテストを行い、良品のチップと不良のチップとを選別した後、ポリイミド配線基板をチップサイズに切断することにより、CSPが完成する。

【0009】 ところが、上記の方法でCSPを製造する場合、ポッティング樹脂をキュアベークする工程で樹脂中にボイドが生じて封止部が異常に膨れる外観不良が発生することがある。また、このような外観不良に至らないまでも、封止部内に生じたボイドが原因となってインナーリードが断線することがある。これは、エラストマー内に吸湿された水分とポッティング樹脂中の溶剤とがキュアベーク時の熱で急激に気化膨張することが原因であると推定される。

【0010】従って、上記したCSPの信頼性および製造歩留まりを向上させるためには、ポッティング樹脂をキュアベークする際にボイドが発生するのを抑制する対策が必要となる。

【0011】本発明の目的は、半導体チップと配線基板との間にエラストマーを介在させたCSPの信頼性および製造歩留まりを向上させることのできる技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかにするであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】(1)本発明の半導体装置は、半導体チップの主面上にエラストマー層を介して配線基板を搭載し、前記配線基板の配線と前記半導体チップのパッドとを電気的に接続すると共に、前記配線と前記パッドとの接続部を樹脂封止したCSPであって、前記エラストマー層の側面に凹凸を設けたものである。

【0015】(2)本発明の半導体装置の製造方法は、

(a)半導体チップの主面上に、側面に凹凸を設けた薄膜エラストマーを接合することにより、前記半導体チップの主面を覆うエラストマー層を形成する工程と、

(b)前記エラストマー層の上面に配線基板を接合し、前記配線基板の配線と前記半導体チップのパッドとを電気的に接続する工程と、(c)前記配線と前記パッドとの接続部に供給した樹脂をキュアベークすることにより、前記接続部を樹脂封止する工程とを含んでいる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。図1は、本実施の形態のCSPを示す平面図、図2は、このCSPの長辺方向に沿った断面図である。

【0017】本実施の形態のCSPは、主として半導体チップ1、半導体チップ1の主面(素子形成面)を覆うエラストマー層2、エラストマー層2の一面に接合された配線基板3、この配線基板3の配線4に接続されたパンプ電極5により構成されている。

【0018】半導体チップ1は、例えば厚さ0.28～0.55mm程度の単結晶シリコンからなり、その主面には酸化シリコン膜や窒化シリコン膜などの絶縁膜で構成された表面保護膜(パッシベーション膜)6が形成されている。半導体チップ1の主面の周縁部には、複数のパッド7が形成されている。これらのパッド7は、半導体チップ1の2つの短辺に沿って一列ずつ配置されており、各パッド7には、配線基板3の配線4が電気的に接続されている。

【0019】半導体チップ1の主面を覆うエラストマー

層2は、例えばシリコンゴム系、エポキシ系、ポリイミド系、ウレタン系、フッ素系などからなる高分子エラストマーの単層構造、またはこれらを2～3層程度ラミネートした積層構造で構成され、その膜厚は0.08～0.25mm程度である。この高分子エラストマーの弾性率は1～5000MPa程度、好ましくは1～1000MPa程度である。このエラストマー層2は、パッド7が形成された周縁部を除く半導体基板1の主面の全域を覆っており、半導体チップ1とこれを実装するプリント配線基板との熱膨張係数差に起因する応力の緩和ならびにチップ表面の保護を目的として形成されている。

【0020】特に限定はされないが、上記エラストマー層2は、多孔質エラストマーで構成されている。多孔質エラストマーは、その内部に吸湿された水分が外部に逃げ易いという特徴があるため、エラストマー層2と半導体チップ1との界面などに水分が残留し難いという利点がある。

【0021】また、上記エラストマー層2の長辺方向の側面には、図1に示すような凹凸が設けられており、この凹凸によって、エラストマー層2の側面の表面積が実効的に大きくなっている。ここで、凹凸とは、図に示すような矩形のパターンに限定されるものではなく、例えば丸みを帯びた波状のパターンや、鋭角的な鋸歯状パターンなど、エラストマー層2の表面積を実効的に大きくすることのできる各種の形状を包含している。

【0022】上記エラストマー層2の一面に接合された配線基板3は、例えばポリイミド、ガラスエポキシ、ポリエステルなどの樹脂からなる厚さ0.05～0.125mm程度の絶縁テープ8とその一面に形成された複数の配線4とで構成されており、絶縁テープ8の長辺方向の両端部には一対のデバイスホール9が、また中央部には複数のスルーホール10がそれぞれ開孔されている。

【0023】上記絶縁テープ8の一面に形成された配線4は、絶縁テープ8に貼り付けた電解銅箔(または圧延銅箔)などをエッチングして形成したもので、その両端部の表面には、例えばAu/Niのメッキが施されている。これらの配線4の一端部(インナーリード)は、絶縁テープ8のデバイスホール9内に延在し、半導体チップ1のパッド7と電気的に接続されている。配線4とパッド7との接続部は、エポキシ樹脂などからなる封止材11によって被覆されている。

【0024】上記配線4の他端部(端子部)は、絶縁テープ8のスルーホール10内に延在し、パンプ電極5と電気的に接続されている。パンプ電極5は、例えばPb-Sn共晶合金半田、高融点半田、Auメッキ付きNi合金などからなり、その直径は0.25～0.7mm程度である。なお、絶縁テープ8の一面に形成された配線4のうち、デバイスホール9内に延在する一端部(インナーリード)を除いた領域の表面は、図示しないソルダーレジストによって被覆されている。

【0025】上記CSPをプリント配線基板にブリップチップ実装するには、プリント配線基板のフットプリント（電極）上に半田ペーストあるいはフラックスを使って半田パンプ5を仮付けした後、加熱炉内で半田パンプ5をリフローすればよい。

【0026】上記した本実施の形態のCSPは、半導体チップ1と配線基板3との間にエラストマー層2を介在させているので、半導体チップ1とプリント配線基板との熱膨張係数差に起因する応力をこのエラストマー層2の弾性変形によって緩和、吸収することができる。これにより、半田パンプ5の温度サイクル寿命が長くなるために、CSPとプリント配線基板との接続信頼性を長期間に亘って確保することができる。

【0027】また、本実施の形態のCSPは、半導体チップ1の主面上にエラストマー層2を形成し、さらにこのエラストマー層2の上部に配線基板3を接合しているため、エラストマー層2および配線基板3が半導体チップ1の主面を保護する保護層として機能する。従って、半導体チップ1の主面に別途ポリイミド樹脂やエポキシ樹脂などの保護層を形成しなくともよく、このままの状態ですべてプリント配線基板に実装することができる。

【0028】次に、上記のように構成されたCSPの製造方法を図3～図13を用いて工程順に説明する。

【0029】まず、図3および図4に示すような長尺の絶縁テープ8を用意する。この絶縁テープ8の一端には、一端部（インナーリード）がデバイスホール9内に延在し、他端部（端子部）がスルーホール10内に延在する複数の配線4が形成されている。

【0030】次に、図5および図6に示すように、長辺方向の側面に凹凸を設けたエラストマー層2を用意し、これを絶縁テープ8の一端部に接合剤を使って貼り付けた後、図7～図9に示すように、エラストマー層2の一端部に接合剤を使って半導体チップ1を貼り付け、次いで、ボンディングツール12を使って配線4の一端部（インナーリード）を半導体チップ1のパッド7にボンディングする。

【0031】次に、図10および図11に示すように、絶縁テープ8の配線4の一端部（インナーリード）と半導体チップ1のパッド7との接続部を封止材11で樹脂封止する。接続部を樹脂封止するには、絶縁テープ8のデバイスホール9内にポッティング樹脂を注入した後、例えば140～150℃、30分～2時間程度の条件でポッティング樹脂をキュアバークする。このとき、エラストマー層2の内部に吸湿されていた水分は急激に気化膨張して水蒸気となるが、エラストマー層2の側面の表面積が大きいため、この水蒸気の多くは、エラストマー層2の側面を通じて外部に抜けていく。

【0032】次に、図12および図13に示すように、配線基板3の配線4の他端部（端子部）にパンプ電極5を接続する。パンプ電極5と配線4の接続を行うには、

あらかじめ球状に成形しておいたパンプ電極5を半田ペーストやフラックスなどを用いてスルーホール10内の配線4上に仮付けした後、加熱炉内でパンプ電極5をリフローする。パンプ電極5がPb-Sn共晶合金半田の場合、リフロー条件は、例えば230～240℃、5～10秒程度である。

【0033】その後、テストングを行って良品のチップと不良のチップとを選別した後、配線基板3をチップサイズに裁断することにより、前記図1および図2に示す本実施の形態のCSPが完成する。

【0034】このように、本実施の形態によれば、ポッティング樹脂をキュアバークする際熱によって急激に気化膨張したエラストマー層2内の水蒸気の多くをエラストマー層2の側面から外部に逃がすことができるので、封止材11の内部にボイドが発生する不具合を有効に防止することができる。

【0035】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0036】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0037】本発明によれば、CSPの製造工程の途中で封止材の内部にボイドが発生する不具合を抑制することができるので、このボイドに起因する外観不良や断線不良を防止してCSPの信頼性および製造歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の平面図である。

【図2】本発明の一実施の形態である半導体装置の断面図である。

【図3】本発明の一実施の形態である半導体装置の製造方法を示す平面図である。

【図4】本発明の一実施の形態である半導体装置の製造方法を示す平面図である。

【図5】本発明の一実施の形態である半導体装置の製造方法を示す平面図である。

【図6】本発明の一実施の形態である半導体装置の製造方法を示す断面図である。

【図7】本発明の一実施の形態である半導体装置の製造方法を示す平面図である。

【図8】本発明の一実施の形態である半導体装置の製造方法を示す平面図である。

【図9】本発明の一実施の形態である半導体装置の製造方法を示す断面図である。

【図10】本発明の一実施の形態である半導体装置の製

造方法を示す平面図である。

【図 1 1】 本発明の一実施の形態である半導体装置の製造方法を示す断面図である。

【図 1 2】 本発明の一実施の形態である半導体装置の製造方法を示す平面図である。

【図 1 3】 本発明の一実施の形態である半導体装置の製造方法を示す断面図である。

【符号の説明】

- 1 半導体チップ
- 2 エラストマー層

3 配線基板

4 配線

5 パンプ電極

6 表面保護膜（パッシベーション膜）

7 パッド

8 絶縁テープ

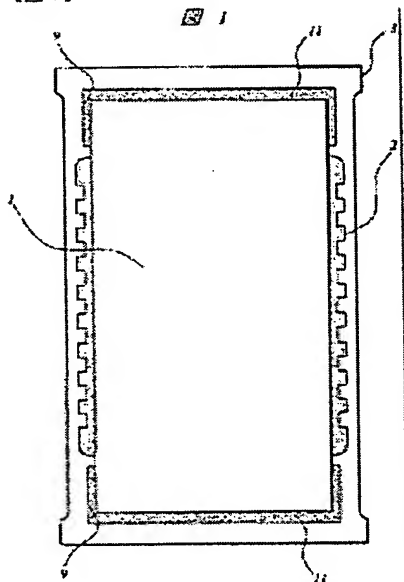
9 デバイスホール

10 スルーホール

11 封止材

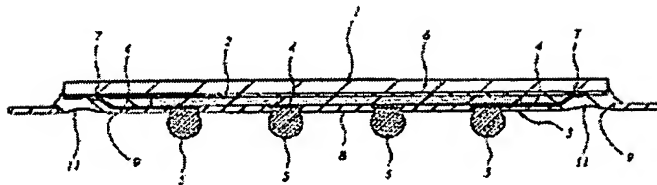
12 ボンディングツール

【図 1】

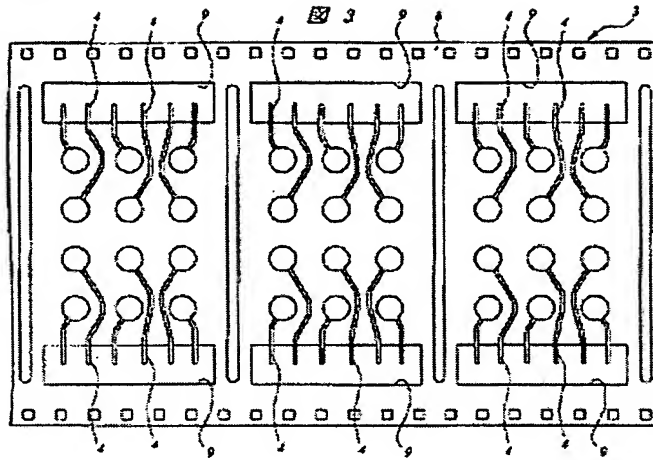


【図 2】

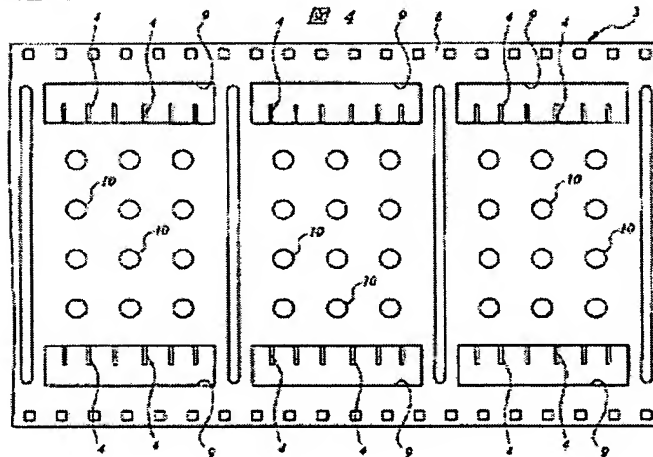
図 2



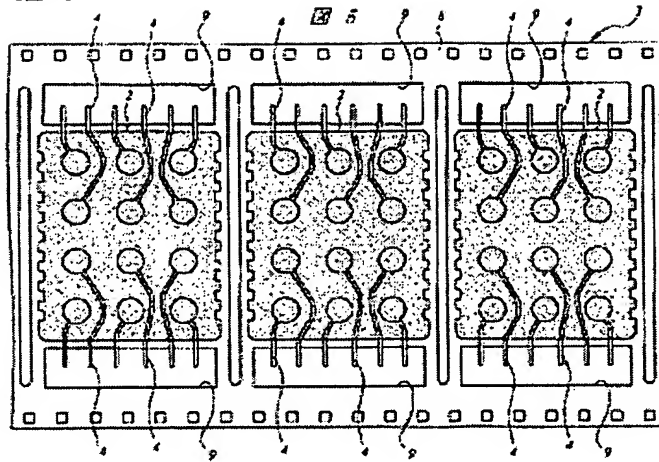
【図3】



【図4】

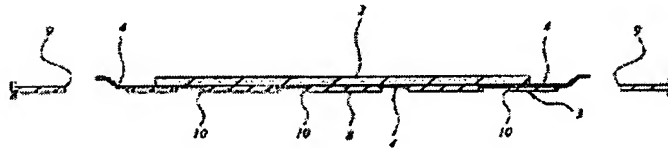


【图5】



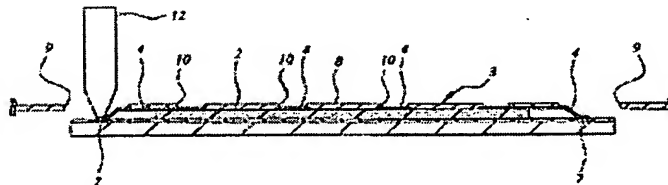
【图6】

图 6

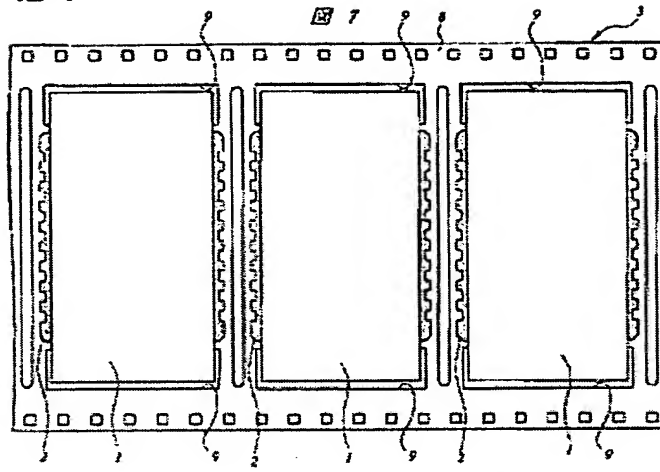


【图9】

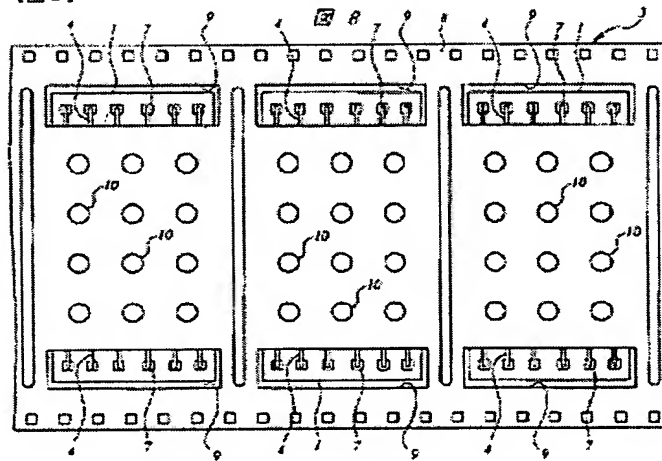
图 9



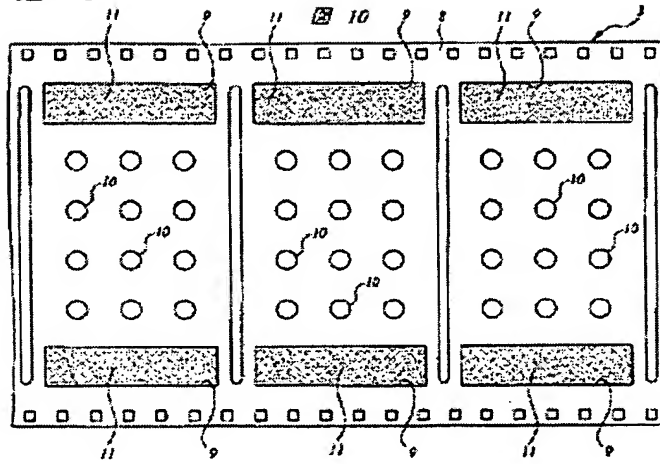
【図7】



【図8】

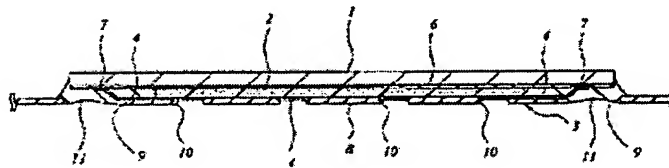


【図 10】



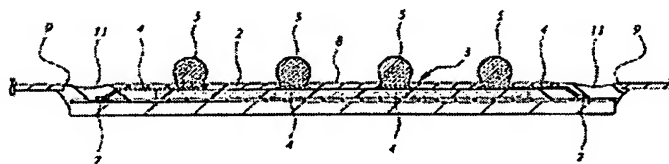
【図 11】

図 11



【図 13】

図 13



[圖 12]

